## АЦП двухтактного интегрирования

Упрощенная схема АЦП, работающего в два основных такта (АЦП двухтактного интегрирования), приведена на следующем рисунке (рис.1):

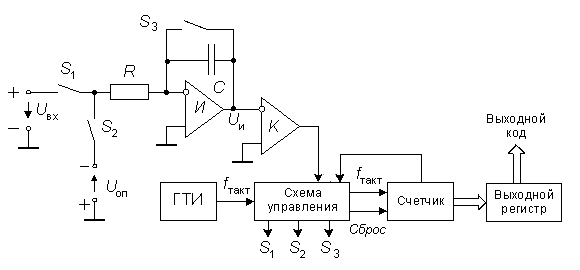


Рисунок 1. Структурная схема АЦП двухтактного интегрирования.

В соответствии с изложенной идеей, компаратор должен сравнить интеграл измеряемой (преобразуемой) величины и интеграл меры. Такое возможно, если установленный в нуль интегратор вначале зарядить от сигнала входной величины (в течение фиксированного интервала времени – **To**), а потом разряжать от сигнала меры (либо наоборот). В тот момент, когда интегратор вновь вернется к нулевому значению, компаратор зафиксирует равенство интегралов, полученных в процессе заряда и разряда интегратора:

Обратим внимание, что в каждой части этого равенства присутствует множитель RC, который можно сократить. Это важный момент, поскольку из него следует вывод о независимости метода от точности изготовления резистора и конденсатора, которые будут использованы в схеме интегратора.

Если помехи отсутствуют, а входной сигнал является постоянным во времени, тогда интегралы легко вычисляются и записанное выше равенство приобретает вид:

Другими словами, мы получили линейную зависимость **Tx** – времени разряда интегратора сигналом меры от **Uвх** – входного сигнала.

Итак, если у нас есть способ получить постоянный интервал времени **To**, необходимый для интегрирования входного сигнала, то дальнейшее преобразование интервала времени **Tx** в код **D**, который пропорционален входному сигналу, можно легко выполнить подсчетом в течение этого интервала числа импульсов с частотой **fтакт**:

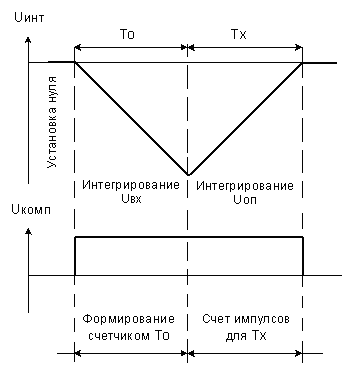
На следующем рисунке (рис.2) показаны диаграммы работы, соответствующие описанному нами алгоритму:

Рисунок 2. Диаграммы работы АЦП двухтактного интегрирования.

При одиночных измерениях, преобразование проходит три стадии: стадию установки интегратора в нулевое значение, стадию интегрирования входного сигнала и стадию счета.

Рассмотрим эти стадии более детально.

*На первой стадии* ключ S3 замкнут, а ключи S1 и S2 разомкнуты. На этой стадии происходит установка нулевого значения на выходе интегратора.

*На второй стадии* ключи S2 и S3 разомкнуты, а ключ S1 замкнут. Вторая стадия длится в течение времени **To**, которое формируется счетчиком. Как правило, интервал **To** равен 20 мсек., что соответствует одному периоду помехи с частотой 50 Гц. На этой стадии интегратор интегрирует входное напряжение **Uвх**. К моменту окончания интегрирования выходное напряжение интегратора составляет:

Как правило, значение **RC** приравнивают величине **To.** Например, при **To** = 20 мсек., принимают **RC** = 20ком\*1мкф = 20мсек. В этом случае, для постоянных значений **Uвх** = (0 - 10В) на выходе интегратора (за время **To**) напряжение достигнет соответственно значений **Uинт** = (0 - 10В). Такой выбор гарантированно обеспечивает работу операционного усилителя (на котором реализован интегратор) в рабочем диапазоне выходных напряжений.

*Третья стадия* преобразования начинается, когда счетчик заканчивает формирование интервала времени **To**. Независимо от того, интервал **To** формируется путем списывания счетчика до нуля (начиная с некоторой предустановки), либо формируется путем переполнения счетчика, счетчик переходит в третью стадию преобразования с нулевым значением и начинает накопление кода результата преобразования. Соответственно на этой стадии ключи S1 и S3 разомкнуты, а ключ S2 замкнут. При этом (поскольку **Uоп** имеет знак противоположный **Uвх**), происходит разряд интегратора до нулевого значения. Факт достижения интегратором нулевого значения фиксируется компаратором как событие определяющее равенство:

Такое событие требует от схемы управления прекратить подачу счетных импульсов на счетчик и зафиксировать результат преобразования

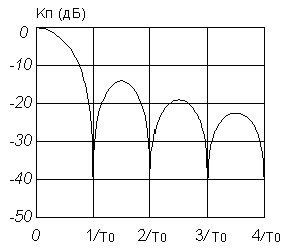
где **D** это код, который заносится в выходной регистр.

Поскольку сравниваются интегральные представления входного сигнала и меры, в окончательный результат входят не мгновенные значения преобразуемого напряжения, а только значения, усредненные за время **To**. Это позволяет рассматривать помеху, как усредненную надбавку к интегралу, взятому от **Uвх**.

Определим коэффициент передачи помехи **Кп** для АЦП двухтактного интегрирования. Пусть на вход интегратора поступает гармонический сигнал единичной амплитуды частотой **f** с произвольной начальной фазой. Среднее значение этого сигнала на интервале **To** будет равно:

Эта величина достигает максимума по модулю, когда значение фазы пропорционально полупериоду:

В этом случае коэффициент передачи помехи можно записать в виде:



Из полученного выражения **Кп** следует, что переменное напряжение, период которого является кратным **To**, максимально подавляется (рис.28). По этой причине, целесообразно выбрать тактовую частоту такой, чтобы величина **To** была бы равной, или кратным периоду напряжения промышленной сети.

Рисунок 3. Коэффициент передачи помехи АЦП двухтактного интегрирования